

文章编号:1007-2780(2017)05-0372-08

多传感器动态参数实时采集与存储方法研究

韩 力¹, 王世赞², 王 军^{1*}, 王 磊¹, 何 昕³

(1. 苏州科技大学, 江苏 苏州 215009; 2. 白城兵器试验中心, 吉林 白城 137001;

3. 中国科学院 长春光学精密机械与物理研究所, 吉林 长春 130033)

摘要:针对现有的数据采集系统无法兼备通道数多、速度快、实时存储的问题,提出一种基于可编程逻辑器件和大容量 Flash 的多传感器动态参数实时采集与存储方法。该系统以 FPGA 为主控制器,实现对模数转换芯片的控制与读取时序;转换后添加校验字节,通过双 FIFO 缓存方式实现和 Flash 的高效率数据交互;双 Flash 实现采集数据备份,增加存储可靠性;双 Flash 之间总线相互独立,提高数据存储速度;最后通过 USB 接口实现与上位机的高速数据传递。实验证明:该系统的单通道采样速率可达 2 MHz,实时存储速率单片 Flash 可达 50 MByte/s 字节,双片可达 100 MByte/s,在强振动动态测试环境下,能够可靠地采集传感器的输出信号,采集绝对误差在 1 mV 以内,数据无误码率。满足振动测量的稳定可靠、精度高、抗干扰能力强等要求。

关键词:可编程逻辑器件;双 FIFO;双 Flash;实时存储;USB

中图分类号:TP274+.2 **文献标识码:**A **doi:**10.3788/YJYXS20173205.0372

Real-time collection and storage of multi-sensor dynamic parameters

HAN Li¹, WANG Shi-zan², WANG Jun^{1*}, WANG Lei¹, HE Xin³

(1. *Suzhou University of Science and Technology, Suzhou 215009, China;*

2. *Bai Cheng Ordnance Test Center of China, Baicheng 137001, China;*

3. *Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Sciences, Changchun 130033, China*)

Abstract: In order to solve the problems that the existing data acquisition system cannot have many channels, high speed and real-time storage at the same time, a real-time collection and storage method of multi-sensor dynamic parameters based on FPGA and large-capacity flash was proposed. The system took FPGA as the core processor to control and read the analog-to-digital conversion chip, added check bytes after the conversion, realized the high-efficiency data interaction with the flash

收稿日期:2016-11-18; **修订日期:**2017-01-06.

基金项目:江苏省普通高校研究生科研创新计划项目(No.KYZZ16_0480);苏州科技大学研究生创新项目(No.SKCX16_043);江苏省建设系统科技项目(No.2016ZD87);苏州市科技发展计划(重点实验室)项目(No.SZS201609)

Supported by Research Innovation Project for Ordinary University Graduates of Jiangsu Province (No. KYZZ16_0480); Suzhou University of Science and Technology Innovation Project (No.SKCX16_043); Science and Technology Project of Jiangsu Province Construction System (No.2016ZD87); Suzhou Science and Technology Development Plan(Key Laboratory)(No.SZS201609)

* 通信联系人, E-mail: 281109685@qq.com

through the double FIFO buffers, and used data back-up to increase storage reliability, then it took free-running interfaces between double flash to improve data storage speed. Finally, the core processor communicated with host computer by USB ports to achieve high-speed data transfer. The experimental results show that the acquisition-frequency of system can reach 2 MHz, the rate of real-time storage can come to 50 MByte/s with one Flash and 100 MByte/s with double Flash. Under the condition of strong vibration dynamic testing, this system can reliably collect the output signal from the sensor with the absolute error within 1 mV and without error rate, so it meets the requirements for stabilization, reliability, high precision and anti-interference ability.

Key words: FPGA; double FIFO; double flash; real-time storage; USB

1 引言

在高强度振动动态测试过程中,需要对加速度、局部受压^[1]情况、零件温度等一系列参数进行采集、分析。但在测试过程中,往往伴随着巨大的振动和电磁干扰等一系列不良因素,导致许多电子设备无法稳定工作。因此,如何在苛刻的条件下获得准确的数据和高可靠性的存储在测试过程中至关重要,这种具有类似黑匣子特性的高可靠性数据采集系统是当今强振动测试实验的研发项目的重点之一。

现有的数据采集系统多使用单片机作为主控制器,如 AVR、STM32 等单片机,此类系统成本低且设计难度小,但在强振动情况下稳定性不高,数据出错几率大。还有一部分是使用现场可编程门阵列 FPGA 作为主控制器,在速度和通道数量上有了提高,但在时序上未做抗干扰设计,数据也只是单一的进行存储,没有设计可靠的校验方式,也没有备份数据来增加可靠性。

FPGA 内部有大量的可编程逻辑单元,重配置能力强,可通过编程在信号上加数字滤波器来滤除高频外部干扰^[2],同时可方便地对时序逻辑进行优化,避免竞争冒险等问题。与一般的控制系统相比不仅可以增加系统的抗干扰能力,而且能够减小产品的体积使其在强振动条件下更可靠。

依据最新的 FPGA 现场可编程技术^[3-4],提出一种在高强度振动测试实验中的多传感器动态数据采集与存储方法,满足系统可靠性、实时性的新要求,同时在数据存储方面研究一种新的存储机制,使得在强振动测试过程中极端恶劣的环境下能够精确地记录下相关数据。

2 系统总体设计

动态参数实时采集与存储系统框架如图 1 所示,由主控制器、多传感器模块、信号转换电路、模数转换模块、存储模块和 USB 接口模块^[5-6]组成。主控制器通过隔离模块接收外部的启动信号,启动模数转换模块采集多传感器信号,通过 SPI 接口从模数转换模块获取数据;单次采集结束后,主控制器在内部将数据打包同时存入两块存储芯片内,以提高数据的可靠性。读出时,主控制器将两块存储芯片内的数据全部读出,通过 USB 接口模块发送给上位机,上位机通过分析比较两块存储芯片的数据得出最终结果。

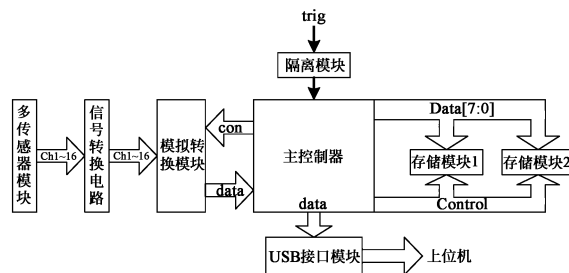


图1 总体方案框图

Fig.1 Block diagram of overall program system

3 系统硬件设计

3.1 系统硬件介绍

主控制器采用 Altera 公司 Cyclone IV 系列 FPGA,型号为 EP4CE6。该系列 FPGA 具备高达 6.3 Mb 的嵌入式存储器,8 个 PLL,同时应用桥接协议,实现小于 1.5 W 的总功耗。利用 FPGA 并行与同步工作方式,可以提高系统的采集速率,并且可以进行功能扩展。

模数转换模块采用 AD 公司的 AD7265, 双核 12 位, 12 通道 ADC, 最高吞吐速率可达 2 MSPS, 由两片模数转换芯片组成, 最高可支持 24 路单端采集或者 12 路差分采集。

Flash 存储芯片型号为 Nflash-K9F4G, 是 4G 位带有备用 32 Mbit 比特容量。其 NAND 电池提供了固态大容量存储市场最具成本效益的解决方案。

USB 接口芯片采用 CH375, 该芯片内置控制传输的协议处理器, 可以缩短传输控制的开发周期。

传感器采用 IEPE 型传感器^[7-8]。IEPE 型传感器中集成了灵敏的电子器件使其尽量靠近传感器以保证更好的抗噪声性并更容易封装。IEPE 型传感器采用两线制, 即电源线与信号输出线共用同一根线, 电源采用恒流源方式, 输出信号为叠加 7 V 直流偏置的 ± 5 V 信号。

3.2 系统硬件电路设计

3.2.1 信号转换电路设计

信号转换电路主要功能是将多传感器的单线双极性信号转换为差分信号输入到模数转换模块进行采集。差分信号抑制共模噪声能力较强, 能够提高信号的抗干扰能力。

图 2 电路中, LM334 与 R_0 组成恒流源电路。LM334 为单片三端可调恒流源, 通过改变 R_0 的值可以改变恒流源的电流值, 关系为:

$$I_{\text{set}} = 67.7 \text{ mV} / R_0$$

设定 $R_0 = 33 \Omega$, 使得输出电流为 2 mA, 为传感器供电。

C_1 为耦合电容, 用以滤除 7 V 直流偏置, 得到标准的双极性信号。

U_2 、 U_3 共同组成差分转换电路, 设置 R_2 :

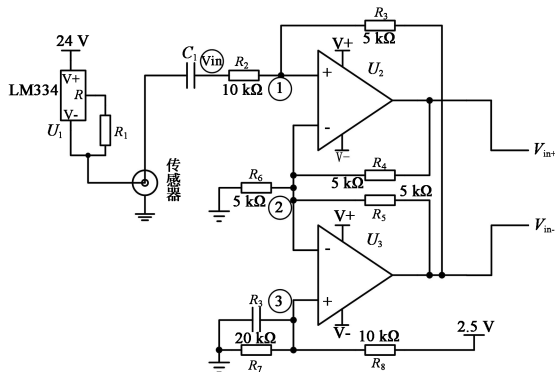


图 2 信号转换电路图

Fig.2 Schematic of signal conversion

$R_3 = 2 : 1$; 将信号转化为 V_{pp} 为 5 V 的信号以满足模数转换芯片的输入范围; 设置 $R_7 : R_8 = 2 : 1$, 使得 $V_1 = V_2 = V_3 = 5/3$ (V), 作为缩小后信号的偏置, 可以得到一个与输入信号反相, 大小为输入信号一半的信号 $V_{\text{in-}}$; 设置 $R_4 : R_5 : R_6 = 1 : 1 : 1$, 将 $V_{\text{in-}}$ 反相得到 $V_{\text{in+}}$ 。 $V_{\text{in+}}$ 与 $V_{\text{in-}}$ 构成差分信号, 其差值等于输入信号。

对电路进行整体分析:

$$\frac{V_{\text{in}} - V_1}{10K} = \frac{V_1 - V_{\text{in-}}}{5K}, \quad (1)$$

$$\frac{V_{\text{in-}} - V_2}{R_5} + \frac{V_{\text{in+}} - V_2}{R_4} = \frac{V_2}{R_6}, \quad (2)$$

$$V_1 = V_2 = V_3 = \frac{5}{3} \text{ V}, \quad (3)$$

联立上①②③可得:

$$V_{\text{in+}} = 2.5(\text{V}) + V_{\text{in}}/2, \quad (4)$$

$$V_{\text{in-}} = 2.5(\text{V}) - V_{\text{in}}/2, \quad (5)$$

传感器信号为 ± 5 V 双极性交流信号, 经过图 2 设计电路进行差分转换后 $V_{\text{in+}}$ 与 $V_{\text{in-}}$ 均为单极性信号且峰值为 5 V, 符合模数转换量程, 并有 $V_{\text{in}} = V_{\text{in+}} - V_{\text{in-}}$ 。

3.2.2 模数转换模块与 FPGA 接口电路设计

V_{DRIVE} 是逻辑电源输入端, 决定了逻辑接口的工作电压, 此引脚可以匹配主控模块和模数转换模块工作电压不匹配问题, 方便控制。模数采集的控制信号和时钟信号以及数据读取都由 FPGA 完成。模数采集的参考电压为 2.5 V, 由 LM4040 构成, LM4040 是 2.5 V 精密电压基准芯片, 精度可达 0.1%, 25 °C 时电压漂移仅在 0.12 mV 以内, 满足

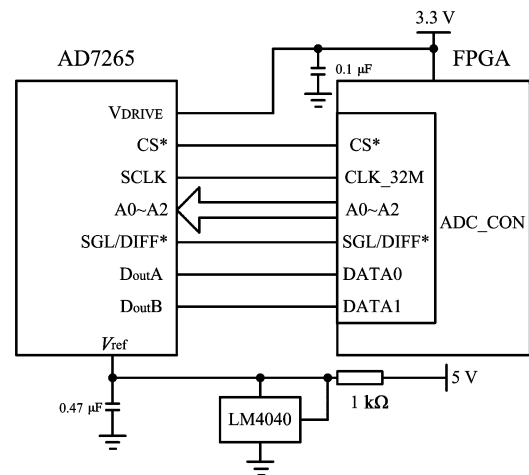


图 3 模数转换模块与 FPGA 接口电路

Fig.3 Interface circuit between A/D module and FPGA

系统精度要求。模数采集芯片测量范围设置为 $0 \sim 2 \times V_{\text{ref}} (0 \sim 5 \text{ V})$ 。

3.2.3 存储模块与 USB 模块设计

单片 Flash 芯片的电路设计如图 4 所示。Cyclone IV 系列 FPGA 具备丰富的 IO 资源,两片 NFlash 芯片采用相互独立的总线同时控制,单片读写速度每秒可达 50 MByte,通过这种方式 FPGA 读写双 NFlash 数据的速度可达 100 MByte/s。

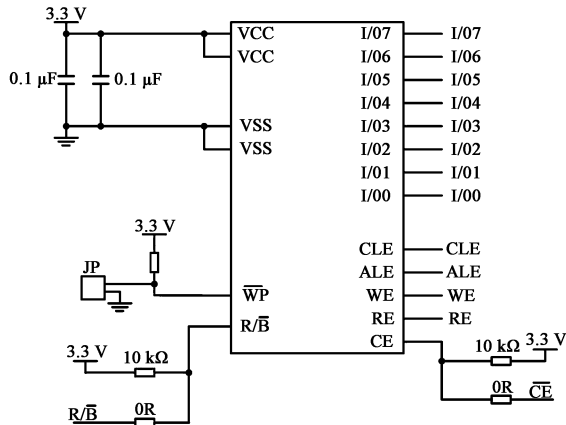


图4 存储模块电路图

Fig.4 Schematic of storage module

主控FPGA与上位机使用USB接口进行数据交互,相比常用的串口通讯^[9],USB接口更具通用性,而且传输速率快,可靠性高。USB接口芯片采用CH375,支持USB-HOST主机方式和USB-DE-VICE/SLAVE设备方式,CH375电路图如图5所示。主控FPGA通过并行总线操作CH375以USB协议与上位机进行高速数据交互。

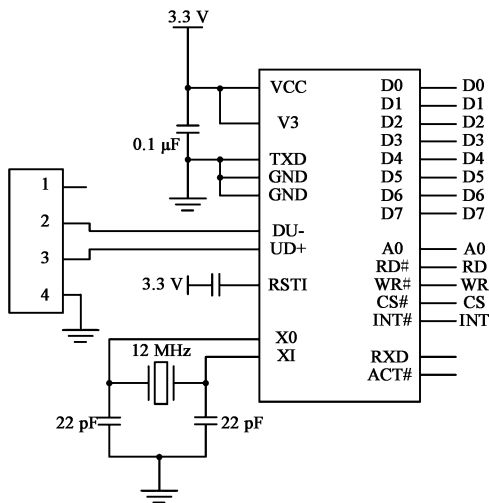


图5 USB接口模块电路图

Fig.5 Schematic of USB module

4 系统软件时序设计

4.1 模数转换芯片控制与读取软件时序设计

基于AD7265的模数采集系统使用的时钟为32 MHz,由FPGA分频产生,CS*为AD7265的启动信号,A0~A2是模数转换的通道选择信号线,SGL/DIFF*为采集模式信号,由于本系统采用差分方式传输模拟信号,所以SGL/DIFF*设置为低电平(差分采集模式)。模数转换时读取时序如图6所示。

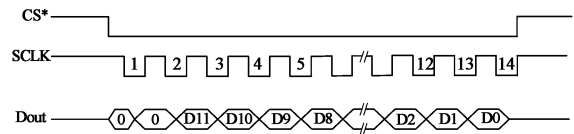


图6 模数转换读取时序图

Fig.6 Timing diagram of A/D read module

CS*启动信号被拉低之后,Dout会立刻输出第一个“0”,在第2个SCLK下降沿输出第二个“0”,在CS*下降沿出现后的第3个SCLK下降沿开始,12位的转换数据由高位到底位可以在每一个SCLK下降沿读出。当第0位读出完毕后,系统将CS*信号线拉高,停止采集,一个SCLK时钟过去后可以再次启动采集。当CS*信号下降沿和SCLK信号下降沿同时发生时,模数芯片会忽略掉该SCLK下降沿,为了避免这一现象的影响,本系统对CS*信号的控制,在SCLK上升沿执行。由时序图可以得到每次采集需要14个SCLK周期,AD7265每次采集结束需间隔一个SCLK周期,据此可以计算出本系统的最高采样速率为:

$$f = \frac{32}{14+1} = 2.13 \text{ MHz}$$

模数芯片的控制与读取软件流程如图7和图8所示。

4.2 模数转换数据流处理与存储流程

模数采集的速度要小于FLASH的存储速度,针对此问题,本系统利用双FIFO乒乓存取机制实现了数据的高效存储。

启动采集信号出现后,模数芯片采集的数据首先由读取模块送入编码模块,编码模块在数据中加入通道、时间标志和校验字节^[10],打包成数

据帧,存入 FIFO1。

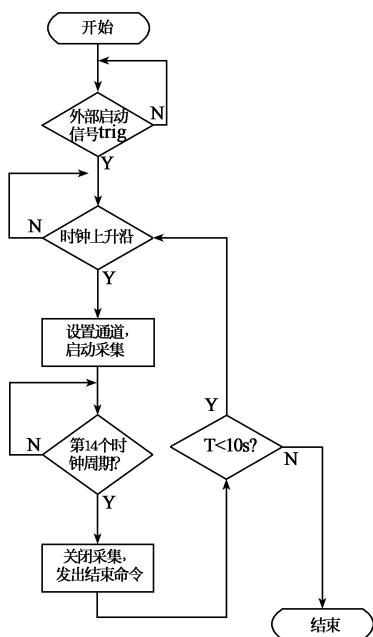


图 7 模数芯片控制流程图

Fig.7 Control process of A/D chip

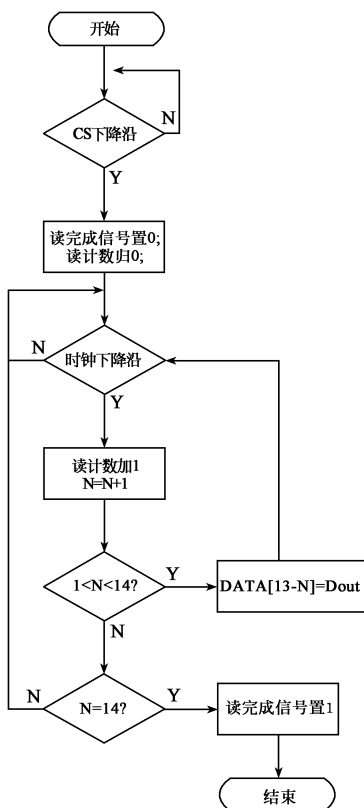


图 8 模数芯片读取流程图

Fig.8 Read process of A/D chip

当检测到 FIFO1 存满时,存储控制模块将目标转为 FIFO2,继续存储,如此反复。

FIFO1 存满时,存储控制模块读取 FIFO1 数据同时存入 Flash1 和 Flash2,存储结束后进入待机状态,等待 FIFO2 满信号发出,随后读取 FIFO2 数据存入 Flash1 和 Flash2。

这一机制将系统的采集与存储分开,两个部分相互独立,互不干扰,大大提高了系统的运行效率。数据的流向如图 9 所示。

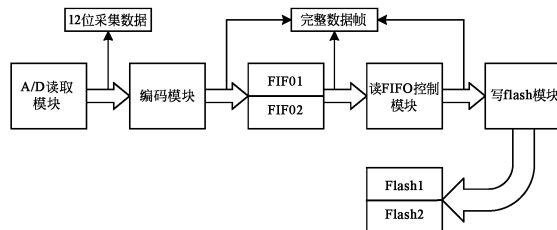


图 9 数据流向图

Fig.9 Flow graph of data

4.3 数据帧格式及校验方法

数据帧格式如表 1 所示,帧头为 \$,通道标号与 12 位采集数据组成 2 个字节,顺序排列在帧头之后,帧计数和页计数记录此帧在 flash 中的具体存储位置,同时作为时间标志,帧尾为固定回车符。一帧长度为 40 Byte,一页共 2 KByte,每页存 50 帧,帧计数范围 0~49,页计数由 0 开始,每页多出的部分以 0xff 补齐,由此可得该帧对应的时间为:

$$T = (N \times 50 + M) \times 1/f$$

表 1 数据帧格式

Tab.1 data format

帧头	0 通道	1 通道	~	15 通道
24H	0xxxH	1xxxH	~	fxxxH
帧计数	页计数		校验字节	帧尾
xxH	xxxxH		xxxxH	0d0aH

其中, N 为页计数, M 为帧计数, f 为采样速率,单位为 Hz。

校验字节由双字节组成,其值为 16 通道 12 位采集数据的累加和。

上位机接收数据帧后,检查前后两帧页计数

和帧计数,判断是否连续,若不连续则做出标记。数据解码时首先对校验字节进行验证,判断其值是否是16个通道的数据累加和,若无误则正常进行,若有误则做出标记。最后将有标记的数据帧与flash2中的备份数据做对比,若备份正确则使用,若不正确则认为此帧错误,处理时丢弃此帧。

经过帧计数、页计数和校验字节的检验,加上备份数据双重保险,使得数据的可靠性得到保障,满足准确可靠的要求。

5 实验结果

5.1 正弦波测试

采集波形如图10所示,用频率为5 kHz,峰值为10 V,偏置为3 V的正弦波信号作为IEPE型传感器的输出信号。

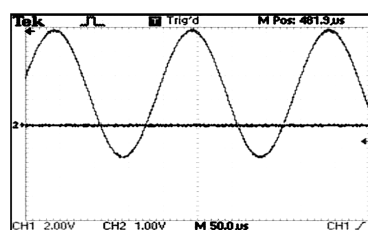


图10 原始信号波形图

Fig.10 Waveform of original signal

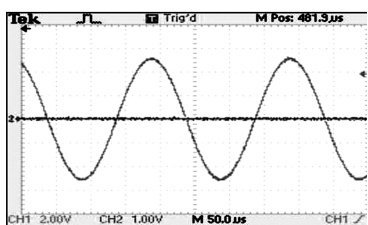


图11 经耦合电容后波形图

Fig.11 Waveform of the signal through capacitor

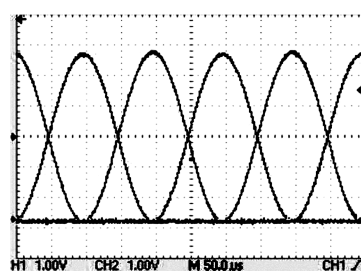


图12 差分信号波形图

Fig.12 Waveform of differential signal

经过耦合电容C1后,波形为图11所示。3 V的直流偏置被滤除,信号被完整地提取出来。

标准的 ± 5 V信号进过差分转换电路后,变为两路峰峰值为5 V的反向信号,其波形如图12所示,同时满足: $V_{in} = V_{in+} - V_{in-}$ 。

系统采集完毕后,利用上位机读出采集数据,并将数据解码,画出波形,为标准的 ± 5 V正弦波,与采集信号波形一致。波形如图13所示:

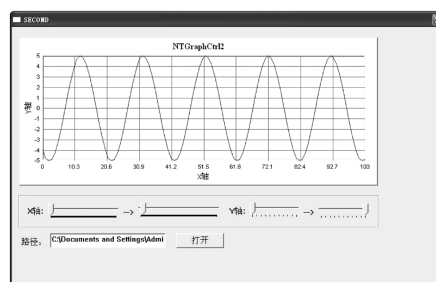


图13 数据解码波形图

Fig.13 Data waveform after decoding

5.2 方波测试

采用5 kHz方波对系统的精度进行测试,得到如表2所示数据。计算得出采集系统采集误差最大为1 mV。

表2 方波测试数据表

Tab.2 Data of the square-wave test

输入信号 V_{PP}/mV	采集结果		绝对误差 $\Delta V/mV$	
	波峰电压/mV	波谷电压/mV	波峰	波谷
50	24.3	-24.7	-0.7	-0.3
100	50.5	-50.1	0.5	0.1
500	249.3	-250.3	-0.7	0.3
1 000	499.1	-499.4	-0.9	-0.6
1 300	649.2	-650.3	-0.8	0.3

续 表

输入信号 V_{PP}/mV	采集结果		绝对误差 $\Delta V/mV$	
	波峰电压/ mV	波谷电压/ mV	波峰	波谷
2 000	1 001.0	-1 000.8	1.0	0.8
2500	1 250.7	-1 250.3	0.7	0.3
3 400	1 700.4	-1 700.9	0.4	0.9
4 300	2 150.7	-2 149.4	0.7	-0.6
5 000	2 500.0	-2 499.9	0	-0.1
10 000	4 999.1	4 999.2	-0.9	-0.8

6 结 论

由本方案设计的多传感器动态参数实时采集系统,在采集通道数较多时采集速度有了显著提升。同时,双 FIFO 交替存储机制,使采集和存储相互独立,且匹配两者速度,有效避免了数据冲突,提高了数据传输的效率。在存储上,使用两片

Flash 同时存储同一数据,在强烈冲击下,能够有效地减少数据的出错率,并且能够发现数据出现错误的地方,有助于后端的数据处理。实验证明:本方案单通道采样速率每秒达 2M,单片 Flash 存储速率每秒可达 50 MByte,具有极高的实时性。用于高强度振动加速度参数采集,绝对误差在 1 mV 以内,数据无误码。

参考文献:

- [1] 原群盛,钱松荣.基于 STM32 的动态监测系统[J].液晶与显示,2016,31(7):680-685.
YUAN Q S, QIAN S R. Design of dynamic monitoring system based on STM32 [J]. *Chinese Journal of Liquid Crystals and Displays*, 2016, 31(7): 680-685. (in Chinese)
- [2] 王达伟,李加琪,吴嗣亮,等.基于 FPGA 的卫星导航抗干扰处理器设计[J].北京理工大学学报,2014,34(3):299-303.
WANG D W, LI J Q, WU S L, et al. Processor design for anti-jamming of satellite navigation based on FPGA [J]. *Transactions of Beijing Institute of Technology*, 2014, 34(3): 299-303. (in Chinese)
- [3] 李保刚,马登武.FPGA 在多路数据采集系统中的应用研究[J].计算机测量与控制,2012,20(4):1138-1141.
LI B G, MA D W. Research of application of FPGA in data acquisition system [J]. *Computer Measurement & Control*, 2012, 20(4): 1138-1141. (in Chinese)
- [4] 邓彬伟,刘崇汉.基于 FPGA 的高速数据流差错注入器设计[J].计算机工程与设计,2014,35(11):3831-3836.
DENG B W, LIU C H. Design of error injector based on FPGA for high-speed data [J]. *Computer Engineering and Design*, 2014, 35(11): 3831-3836. (in Chinese)
- [5] 杨祥清,赵海鹰,汪增福.具有 USB2.0 接口的 6 路实时同步数据采集卡设计[J].电光与控制,2008,15(6):91-95.
YANG X Q, ZHAO H Y, WANG Z F. Design of a 6-channel real-time simultaneous data acquisition board with USB2.0 interface [J]. *Electronics Optics & Control*, 2008, 15(6): 91-95. (in Chinese)
- [6] 高冰.基于 FPGA 与 USB2.0 的便携式数据采集系统的设计[J].电子科技大学学报,2010,39(S):61-64.
GAO B. A portable data acquisition system based on the FPGA and USB2.0 [J]. *Journal of University of Electronic Science and Technology of China*, 2010, 39(S): 61-64. (in Chinese)
- [7] 曹恒,秦颖顺,王春,等.两线制 IEPE 传感器前置信号调理电路[J].仪表技术与传感器,2012(11):160-162.
CAO H, QIN Y Q, WANG C, et al. Two-wire IEPE accelerometer front signal conditioning circuit [J]. *Instrument Technique and Sensor*, 2012(11): 160-162. (in Chinese)

- [8] 陈至坤,逢鹏,王福斌,等.基于压电加速度传感器的天车监测系统设计[J].传感器与微系统,2014,33(11):76-78.
CHEN Z K, PANG P, WANG F B, *et al.* Design on crane monitoring system based on piezoelectric acceleration sensor [J]. *Transducer and Microsystem Technologies*, 2014, 33(11): 76-78. (in Chinese)
- [9] 马游春,王文杰,李锦明.基于FPGA和UART接口的多路数据采集系统的实现[J].火力与指挥控制,2010,35(9):134-136,139.
MA Y C, WANG W J, LI J M. The implementation of multi-channel data acquisition system based on FPGA and UART interface [J]. *Fire Control & Command Control*, 2010, 35(9): 134-136, 139. (in Chinese)
- [10] 单海蛟,刘伟宁,王嘉成,等.多传感器自主跟踪中的数据融合方法[J].液晶与显示,2016,31(8):801-809.
SHAN H N, LIU W N, WANG J C, *et al.* Data fusion method in multi-sensors autonomous tracking [J]. *Chinese Journal of Liquid Crystals and Displays*, 2016, 31(8): 801-809. (in Chinese)

作者简介:韩力(1992—),男,江苏泰州人,硕士研究生,主要从事FPGA应用和光电测控方向研究。E-mail:980398429@qq.com

王军(1979—),男,江苏徐州人,副教授,博士,硕士研究生导师,2005年于中国科学院长春光学精密机械与物理研究所获得博士学位,主要从事光电测控技术与仪器方向研究。E-mail:281109685@qq.com